

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-044415

(43)Date of publication of application : 14.02.1995

(51)Int.Cl.

G06F 11/22
H01L 21/66
H01L 21/82
H01L 27/04
H01L 21/822
H01L 27/10

(21)Application number : 05-184110

(71)Applicant : NEC CORP

(22)Date of filing : 26.07.1993

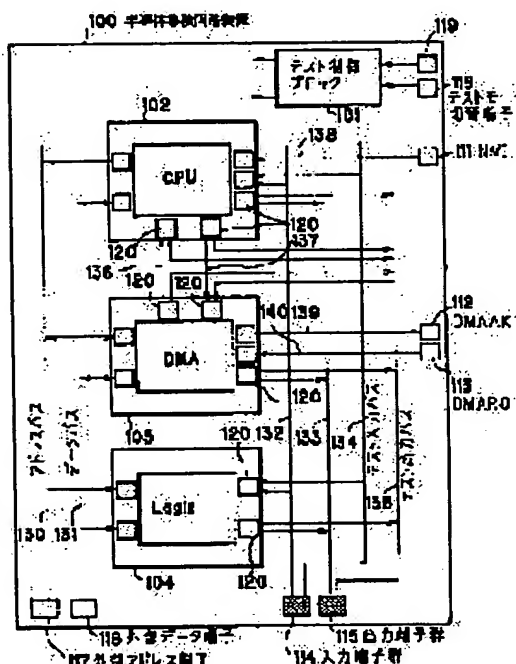
(72)Inventor : YAMAHATA HITOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To reduce the number of test use signal lines by applying bus-connection of the test use signal lines to a function block.

CONSTITUTION: A block terminal circuit 120 is classified into a block input terminal circuit 121, a block output terminal circuit 122 and a block input output terminal circuit 123 depending on the direction and contents of the signal. When a concerned block is designated to the normal mode through a test mode control block, signals from each of function blocks 101-103 are received/outputted through signal lines 136, 137, an input signal line group 132 and an output signal line group 133 between blocks, and when the block is designated to be a test object in the test mode, signals are received/outputted through a test input bus 134 and a test output bus 135. When the block is designated to a test non-object in the test mode, an input signal to the function block and an output signal from the function block are converted into fixed signals with an inactive level.



LEGAL STATUS

[Date of request for examination]

10.03.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2734940

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-44415

(43) 公開日 平成7年(1995)2月14日

(51) Int.Cl.⁵

G 0 6 F 11/22

H 0 1 L 21/66

21/82

識別記号

3 3 0 B

F 7630-4M

8122-4M

8832-4M

F I

H 0 1 L 21/ 82

27/ 04

T

U

技術表示箇所

審査請求 有 請求項の数 6 O L (全 9 頁) 最終頁に続く

(21) 出願番号

特願平5-184110

(22) 出願日

平成5年(1993)7月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山畑 均

東京都港区芝五丁目7番1号 日本電気株式会社内

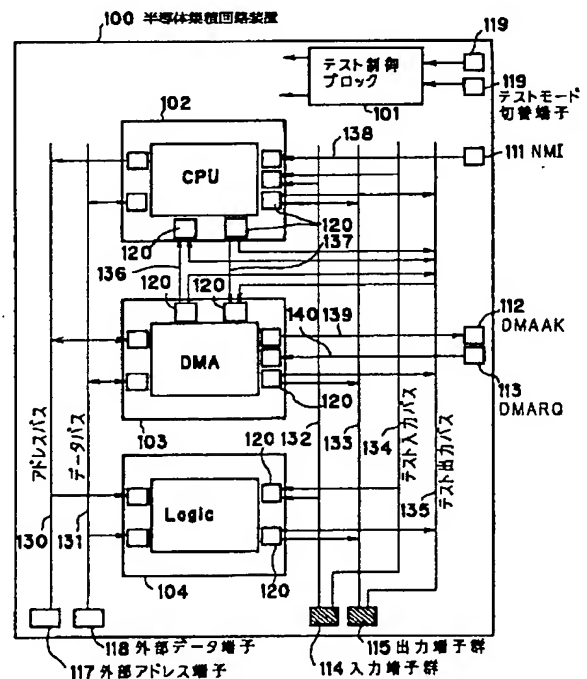
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 個別の機能ブロックのテストパターンの共通化を計り、テスト信号線の本数を減少する。

【構成】 各機能ブロック101~103にテスト入力バス134とテスト出力バス135をバス接続し、各機能ブロックの入力、出力または入出力端子回路120がテスト制御ブロック101を通じて指定される通常動作モード、テスト対象モード、テスト非対象モードに応じて個別に通常信号回路とテスト信号回路を切替える。



1

【特許請求の範囲】

【請求項1】 複数の機能ブロックが1チップ上に形成される半導体集積回路装置において、

外部からの指定により通常モードとテストモードを切替え、テストモード時に各機能ブロックごとにテスト対象かテスト非対象かを指示するテストモード制御回路と、前記チップに対して、通常モード時に通常信号を入力し、テストモード時にはテスト信号を入力するチップの入力端子回路と、通常モード時に通常信号を出力し、テストモード時にはテスト信号を出力するチップの出力端子回路と、通常モード時に通常信号を入出力し、テストモード時にはテスト信号を入出力するとともに通常信号の入出力を電氣的に遮断するチップの入出力端子回路と、

前記各機能ブロックに対して、通常モード時に通常信号を入力し、テストモード時でテスト対象の場合はテスト信号を入力するブロック入力端子回路と、通常モード時に通常信号を出力し、テストモード時でテスト対象の場合はテスト信号回路にテスト信号を出力し、テスト非対象の場合はテスト信号の出力回路を電氣的に遮断するブロック出力端子回路と、通常モード時に通常信号を入出力し、テストモード時でテスト対象の場合は通常信号の回路との接続を電氣的に遮断しテスト入力信号とテスト出力信号とを入力および出力し、テスト非対象の場合は通常信号、テスト入力信号およびテスト出力信号を電氣的に遮断するブロック入出力端子回路とを有し、各ブロック入力端子回路のテスト入力信号の数のうちの最大の数以下のテスト入力信号バスと、各ブロック出力端子回路のテスト出力信号の数のうちの最大の数以下のテスト出力信号バスとに前記全ての機能ブロックがそれぞれバス結合され、前記テスト入力バスがチップの入力端子回路のテスト信号に、前記テスト出力バスがチップの出力端子回路のテスト信号にそれぞれ接続された後に、チップの入力端子回路または出力端子回路のテスト信号の数が不足するときは、チップの入出力端子回路のテスト信号の入力または出力に接続されることを特徴とする半導体集積回路装置。

【請求項2】 機能ブロックがテストモードのテスト非対象に指定されたとき、そのブロック入力端子回路がそのブロックの入力回路にインアクティブなレベルの信号を入力し、そのブロック出力端子回路がインアクティブなレベルの信号を通常出力信号回路に出力する請求項1に記載の半導体集積回路装置。

【請求項3】 テスト信号が、機能ブロックとチップの入力端子回路、出力端子回路または入出力端子回路との間に直接1対1に接続された通常信号の入出力を介して入力または出力される請求項1または2に記載の半導体集積回路装置。

【請求項4】 テスト信号が、複数の機能ブロックにバス接続された通常信号のバスを介して、チップの入力端

2

子回路、出力端子回路または入出力端子回路の通常信号の入出力から入力または出力される請求項1ないし3のいずれかに記載の半導体集積回路装置。

【請求項5】 リセット信号をインアクティブなレベルに固定することによって、テスト非対象の機能ブロックをリセット状態に固定することができる請求項1ないし4のいずれかに記載の半導体集積回路装置。

【請求項6】 スタティック回路で設計されたテスト非対象の機能ブロックを、クロック信号をローレベルまたはハイレベルに固定することによって、停止状態に保持することができる請求項1ないし5のいずれかに記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に複数の機能ブロックを有する場合のテストを容易にする半導体集積回路（IC）装置に関する。

【0002】

【従来の技術】 一般にIC装置は、機能の複雑化に伴ってそのテスト生成コストが対象とする回路規模の3乗に比例して増大するといわれ、回路規模の大きなVLSI、特に多品種小量生産の特定用途向け集積回路（ASIC）では、ICテスト方式の設計の問題が大きくクローズアップされている。したがって、複数の機能ブロックが1チップ上に生成されたICについて、テストを各機能別に分割してテストパターンの共通化、共用化を計り、チップ内にテストのための回路を設けて、テストを各機能ブロック別の実施して簡素化を図ることが提案され、実施されている。

【0003】 例えば、図5（A）に示すように、従来は個々の機能ブロックのデータバスのみが入出力ポートに接続されていたものを、アドレスバス530やコントロールバス532をもマルチプレクサ付きの入出力ポート510に接続し、個々のメモリ502や周辺回路503をCPU501から切り離して、テストパターンによりポート510から直接テストできるようにすることが、特開平1-116736号等により開示されている。この入出力ポート510は、図5（B）に示す1つのポートのように、テストモードの時にテストパターンを直接機能ブロックに接続するための3ステート入力バッファ511と、機能ブロックからのテスト出力信号を直接ポート端子へ出力する出力データマルチプレクサ512と、3ステート出力バッファ513をCPU501の制御動作とは独立に任意に操作するための出力バッファコントロール514とが設けられている。

【0004】 また、図6に示すように、マイコンコア602、ランダムロジック回路603等の機能ブロックに、それぞれ外部に対する入出力用として、専用端子回路612、613と、各機能ブロックに共通の共通共用端子回路610、各機能ブロックを選択できる選択共用

50

3

端子回路611を設け、モード信号入力回路619から入力されたモード設定信号によりモード設定信号発生回路601を駆動して、個々の機能ブロックを共用の入出力端子回路を選択的に接続することにより、外部から機能ブロックごとにテストできるようにする案が特開平3-23658号により開示されている。

【0005】さらに、各機能ブロックにテスト用の端子を設けるとともに、機能ブロックに内蔵されたモードセレクトによる動作モードを制御して、個別の機能ブロックを選択的にテストする方法が、例えば「ASICのテスト容易化設計」(NEC技法、vol. 45、No. 8/1992)、公開されている。この方法は、図7に示すように、各機能ブロック701、702、703のテスト用端子をバス接続し、テスト入力信号バス735とテスト出力信号バス734としてチップの入出力端子回路に接続するとともに、各機能ブロックに対するテストモードをテスト対象とテスト非対象とに区別して指示するものである。

【0006】

【発明が解決しようとする課題】しかし、上述の従来の方法は、それぞれテストを容易にすることはできるが、なお次のような問題を含んでいる。

【0007】図5の第1の従来例は、個々の機能ブロックのテスト中にCPUを切り離すことが考慮されていないので、3ステート入力バッファを介して与えられるテストパターンと、CPUから個々の機能ブロックに接続されているアドレスバス、コントロールバスまたはCPUデータバスとが衝突し、他の機能ブロックの動作により特定の機能ブロックのテストに悪影響を及ぼす。また、特定の機能ブロックのテスト中にCPUやテスト非対象の他の機能ブロックが動作し、ノイズの発生や消費電流の増加の問題がある。

【0008】図6の第2の従来例は、共用端子回路610に対して信号を共用する全機能ブロックから信号線を接続しなければならないので、チップの端子回路の配線量の加速度的な増加を避けるために機能ブロックの数が制限され、集積度が低下する。例えばマイクロコンピュータ、RAM、ROM、汎用のタイマー、DMA、汎用のシリアル入出力部が集積されたごく一般的なチップでも6つの機能ブロックからの信号線が集中する。しかも、1つの端子に接続された複数の機能ブロックからの信号線の中から特定の機能ブロックを選択するためには、マルチプレクサを必要とし、回路が複雑になり、占有面積や伝送時間を増大するという欠点がある。

【0009】図7の第3の従来例でも、機能ブロックの全ての通常入力信号と通常出力信号に対して同数のテスト入力信号、テスト出力信号を必要とし、通常入出力信号は入力信号と出力信号とに分けたうえでそれぞれに対してテスト入力信号とテスト出力信号を設けているので、テスト信号の数が多くなるという問題がある。

4

【0010】本発明の目的は、上述の従来の方式の欠点を軽減し、個別の機能ブロックのテストパターンの共通化を計り、テスト信号線の本数を減少できる半導体集積回路装置を提供することにある。

【0011】

【課題を解決するための手段】本発明の半導体集積回路装置は、(a)外部からの指定により通常モードとテストモードを切替え、テストモード時に各機能ブロックごとにテスト対象かテスト非対象かを指示するテストモード制御回路と、(b)チップに対して、通常モード時に通常信号を入力し、テストモード時にはテスト信号を入力するチップの入力端子回路と、通常モード時に通常信号を出力し、テストモード時にはテスト信号を出力するチップの出力端子回路と、通常モード時に通常信号を入力し、テストモード時にはテスト信号を入力するとともに通常信号の入出力を電氣的に遮断するチップの入出力端子回路と、各機能ブロックに対して、通常モード時に通常信号を入力し、テストモード時でテスト対象の場合はテスト信号を入力するブロック入力端子回路と、通常モード時に通常信号を出力し、テストモード時でテスト対象の場合はテスト信号回路にテスト信号を出力し、テスト非対象の場合はテスト信号の出力回路を電氣的に遮断するブロック出力端子回路と、通常モード時に通常信号を入力し、テストモード時でテスト対象の場合は通常信号の回路との接続を電氣的に遮断しテスト入力信号とテスト出力信号とを入力および出力し、テスト非対象の場合は通常信号、テスト入力信号およびテスト出力信号を電氣的に遮断するブロック入出力端子回路とを有し、(c)各ブロック入力端子回路のテスト入力信号の数のうちの最大の数以下のテスト入力信号バスと、各ブロック出力端子回路のテスト出力信号の数のうちの最大の数以下のテスト出力信号バスとに全ての機能ブロックがそれぞれバス結合され、テスト入力バスがチップの入力端子回路のテスト信号に、テスト出力バスがチップの出力端子回路のテスト信号にそれぞれ接続された後に、チップの入力端子回路または出力端子回路のテスト信号の数が不足するときは、チップの入出力端子回路のテスト信号の入力または出力に接続される。

【0012】また、好ましくは、機能ブロックがテストモードのテスト非対象に指定された時、そのブロック入力端子回路がそのブロックの入力回路にインアクティブなレベルの信号を入力し、そのブロック出力端子回路がインアクティブなレベルの信号を通常出力信号回路に出力する。

【0013】また、テスト信号が、機能ブロックとチップの入力端子回路、出力端子回路または入出力端子回路との間に直接1対1に接続された通常信号の入出力を介して入力または出力されるか、または、複数の機能ブロックにバス接続された通常信号のバスを介して、チップの入力端子回路、出力端子回路または入出力端子回路の

5

通常信号の入出力から入力または出力されてもよい。

【0014】また、リセット記号をインアクティブなレベルに固定することによって、テスト非対象の機能ブロックをリセット状態に固定することができる。

【0015】また、スタティック回路で設計されたテスト非対象の機能ブロックを、クロック信号をローレベルまたはハイレベルに固定することによって、停止状態に保持することができる。

【0016】

【作用】テスト信号が全ての機能ブロックにバス接続された最小本数のテスト入力信号バス、テスト出力信号バスを通じてチップの入力端子回路、出力端子回路もしくは入出力端子回路に接続され、また、テスト非対象の機能ブロックの入力回路、出力回路にインアクティブなレベルの信号を入出力させてテスト対象の機能ブロックへの妨害を抑制することができる。

【0017】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0018】図1は本発明の1実施例のブロック構成図、図2(A)はブロック入力端子回路121のブロック図、(B)はインアクティブ付きブロック入力端子回路121のブロック図、図3(A)はブロック出力端子回路122のブロック図、(B)はインアクティブ付きブロック出力端子回路122のブロック図、図1は(A)ブロック入出力端子回路123のブロック図、(B)はインアクティブ付きブロック入出力端子回路123のブロック図である。

【0019】図1において、本実施例のIC装置100は、3つの機能ブロック、CPU102、DMAコントローラ103、ランダムロジック回路(Logic)104と、テスト制御ブロック101と、チップ外部との信号入出力用の外部端子回路111-119と、機能ブロック相互間及び外部端子回路との間に接続される信号線130-140とを有する。また、各機能ブロック102-103は、それぞれ、指定された通常動作時のモードとテストモードとに応じて各ブロックに入力および出力する信号を入力信号線群132、出力信号線群133とテスト入力134、テスト出力バス135との間で切り替えるブロック端子回路120を有する。

【0020】信号線は、各機能ブロックにバス接続され、外部アドレス端子117、外部データ端子118を通じて信号が入出力されるアドレスバス130、データバス131と、CPU102、DMA103の各機能ブロックと外部端子回路111-113とを1対1に接続するNMI、DMAACK、DMARQの信号線138-140と、各機能ブロックを共通にして外部端子の入力端子群114、出力端子群115に接続される入力信号線群132、出力信号線群133と、入力信号線群、出力信号線群の接続された回路のテストを行なうためのテ

6

スト入力バス134、テスト出力バス135、と機能ブロック相互間の信号線136、137とからなる。入力端子群114と出力端子群115は、通常モードのときは外部との接続を入力信号線群132と出力信号線群133の側とし、テストモードのときはこれをテスト入力バス134とテスト出力バス135側に切り替える。

【0021】ブロック端子回路120は、信号の方向や内容により、ブロック入力端子回路121、ブロック出力端子回路122、ブロック入出力端子回路123に分類される。所属のブロックが、テストモード制御ブロックを介して通常モードに指定されたときは、各機能ブロックの信号をブロック間の信号線136、137や入力信号群132、出力信号線群133に入出力し、テストモードのテスト対象に指定されたときは、テスト入力バス134、テスト出力バス135に入出力する。テストモードのテスト非対象に指定されたときは、その機能ブロックへの入力信号や機能ブロックからの出力信号をインアクティブなレベルの固定信号に変換する。

【0022】図2(A)は、ブロック入力端子回路121の説明図で、通常動作モードの場合は通常モード信号aにより入力信号線群132または前位の機能ブロック102、103からの通常入力信号が選択されてセレクトを通過しブロックに入力される。テスト対象モードの場合は、テスト対象モード信号bによりテスト入力バス134からの信号が選択されてセレクトを通過しブロックに入力される。図2(B)は、ブロック入力端子回路121のブロックがテスト非対象に指定された場合の説明図で、非テスト対象モードの信号cによりインアクティブレベルの信号が選択されてブロックへ入力される。

【0023】図3(A)は、ブロック出力端子回路122の説明図で、通常動作モードの場合は、通常モード信号aにより機能ブロックからの出力信号が通常出力信号として出力信号線群133または次の機能ブロックへ出力される。テスト対象モードの場合は、テスト対象モード信号bによりブロックからの出力信号がテスト出力バス135へ出力される。この場合、テスト対象モードと通常モードとは排他的であり、このブロックのテスト中は通常動作の出力回路への出力は行なわれない。図3

(B)は、テスト非対象の場合を加えた説明図で、通常動作モードの場合は、通常モード信号aによりORゲートとセレクトが駆動されてブロックの出力信号が通常出力信号として出力され、テスト対象モードの場合は、テスト対象モード信号bによりブロック出力信号がテスト出力バス135へ出力される。テスト非対象モードの場合は、非テスト対象モード信号cによりORゲートとセレクトが駆動されてインアクティブレベルの信号が通常出力信号として出力される。図4(A)は、ブロック入出力端子回路123の説明図である。通常動作モードの場合は、通常モード信号aによって駆動されたセレクトを通過して通常入出力信号線から入力した信号がそのブ

7

ロックへ入力され、さらにブロックのコントロール信号がアクティブの場合は、この信号と通常モード信号 a とが AND ゲートに入力されることにより、ブロックからの出力信号が通常入出力信号線へ出力される。テスト対象モードの場合は、テスト対象モード信号 c により駆動されたセクタを通過してテスト入力バス 134 からの信号が入力されるとともに、ブロックからの出力信号がテスト出力バス 135 へ出力される。次に、図 4 (B) により、テスト非対象のときにインアクティブレベルの信号を発生できる場合の説明をする。通常モードの場合は、通常モード信号により第 1 のセクタを通過して通常の入出力信号線からの信号がブロックへ入力され、さらにブロックのコントロール信号がアクティブな場合は、この信号と通常モード信号が入力される AND ゲートと OR ゲートによりブロックからの出力信号が第 2 のセクタを通り通常の入出力信号線に出力される。テスト対象の場合は、テスト対象モード信号によりテスト入力バスからの信号が第 1 のセクタを通過してブロックに入力され、ブロックからの出力信号がテスト出力バスへ出力される。テスト非対象の場合は、インアクティブレベルの信号が、非テスト対象モード信号により駆動される第 1 のセクタを通過してブロックに入力されるとともに第 2 のセクタと OR ゲートとにより通常の入出力信号線へも出力される。この場合、インアクティブレベルの信号をブロックの内外両方に出力しているがいずれか一方のみにしてもよい。

【0024】本発明を従来例と比較すると、第 1 の従来例に対して、CPU を含めて全ての機能ブロックに通常モードとテスト対象モードとテスト非対象モードとを与えている。テスト時にはテスト対象の機能ブロックの通常信号の入出力とは別のテスト用入出力からテストパターンが入出力される。また、非テスト対象のブロックは、テスト信号から電氣的に切り離されるのでテスト信号をバス状に接続して少ないチップの端子を用いてもテストを行なうことができる。テストモード時には通常信号の入出力をインアクティブとすることによりテスト非対象のブロックやランダムロジックが誤動作するのを防止することができる。また、チップとブロック間で 1 対 1 で接続されている信号線を利用するとさらにテスト用の信号線を減らすことができる。

【0025】第 2 の従来例との比較では、本発明は、機能ブロック間で共用されている共通信号端子でマルチプレクスさせるのではなく、機能ブロックの入出力部でテスト非対象時の電氣的切り離し手段を設けることにより、信号線のチップ端子への集中が防がれる。

【0026】第 3 の従来例との比較では、本発明は、機能ブロックの通常信号と、チップの端子とが直接に 1 対 1 に接続されている場合は、その信号はテスト入力信号、テスト出力信号として接続しないことでテスト時にも通常信号線を使用し、テスト信号の本数を削減でき

8

る。また本発明では、非テストモードにあるブロックにインアクティブレベルの信号を与えることでテスト非対象のブロックやいずれの機能ブロックにも属さないランダムロジックが誤動作や予期せぬ動作をするのを防ぐことができる。

【0027】

【発明の効果】本発明の半導体集積回路装置は、テスト用の信号線を機能ブロックにバス接続することにより、テスト用の信号線の本数を減少することができ、非テスト対象の機能ブロックを電氣的に遮断し、入出力信号をインアクティブレベルにすることができるので、非テスト対象の機能ブロックの動作によるノイズの発生や消費電力増を抑制でき、複数の機能ブロックを収容する半導体集積回路装置のテストを容易にできる効果がある。

【図面の簡単な説明】

【図 1】本発明の 1 実施例のブロック構成図である。

【図 2】(A) はブロック出力端子回路 121 のブロック図、(B) はインアクティブなレベルの信号を出力する場合の説明図である。

【図 3】(A) はブロック出力端子回路 122 のブロック図、(B) はインアクティブなレベルの信号を出力する場合の説明図である。

【図 4】(A) はブロック入力端子回路 123 のブロック図、(B) はインアクティブなレベルの信号を入力する場合の説明図である。

【図 5】第 1 の従来例のブロック図である。

【図 6】第 2 の従来例のブロック図である。

【図 7】第 3 の従来例のブロック図である。

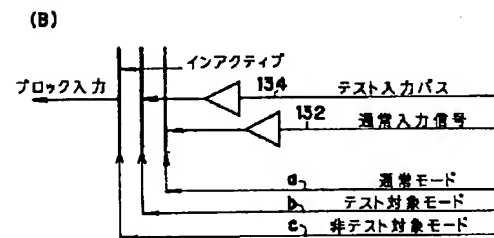
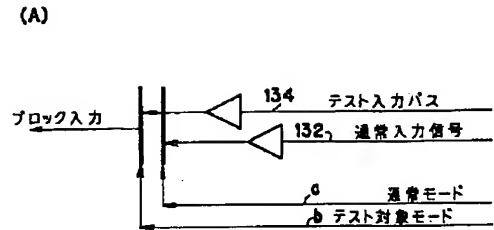
【符号の説明】

100	半導体集積回路装置
101~103	機能ブロック
101	CPU
102	DMA
103	Logic
110	外部端子回路
111	NMI 端子
112	DMA AK 端子
113	DMA RQ 端子
114	入力端子群
115	出力端子群
117	外部アドレス端子
118	外部データ端子
119	テストモード切替え端子
120	ブロック端子回路
121	ブロック入力端子回路
122	ブロック出力端子回路
123	ブロック入出力端子回路
130	アドレスバス
131	データバス
132	入力信号線

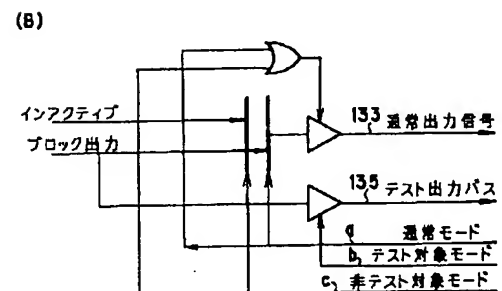
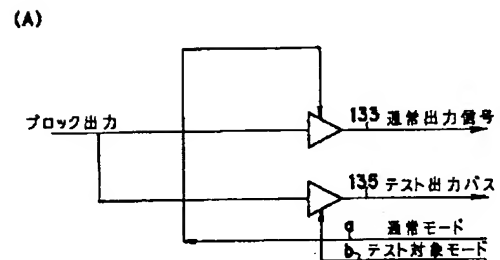
10

* 1 3 6, 1 3 7 機能ブロック間信号線
1 3 8, 1 3 9, 1 4 0 直接入出力線

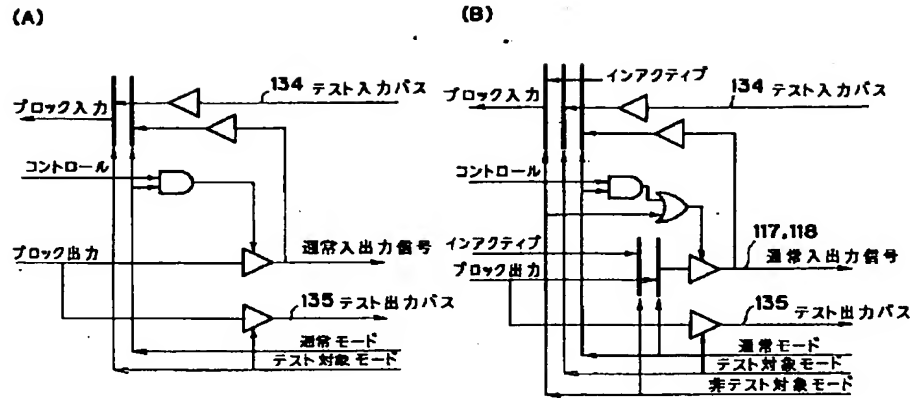
【図 2】



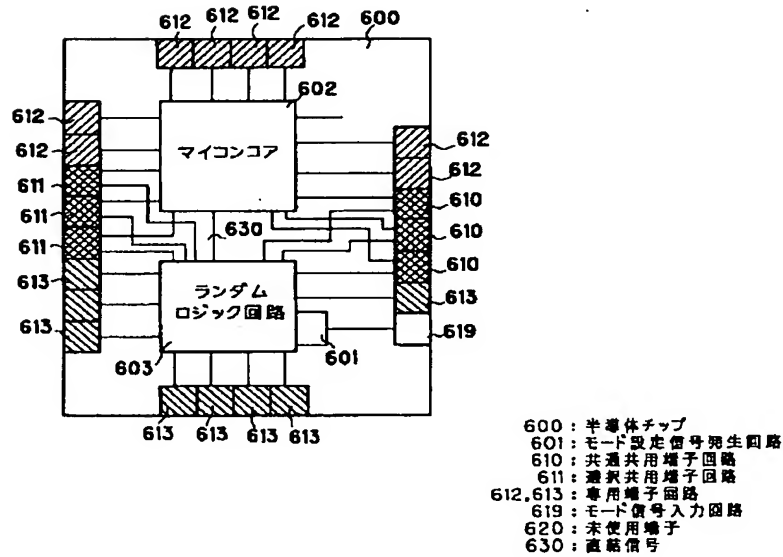
【図 3】



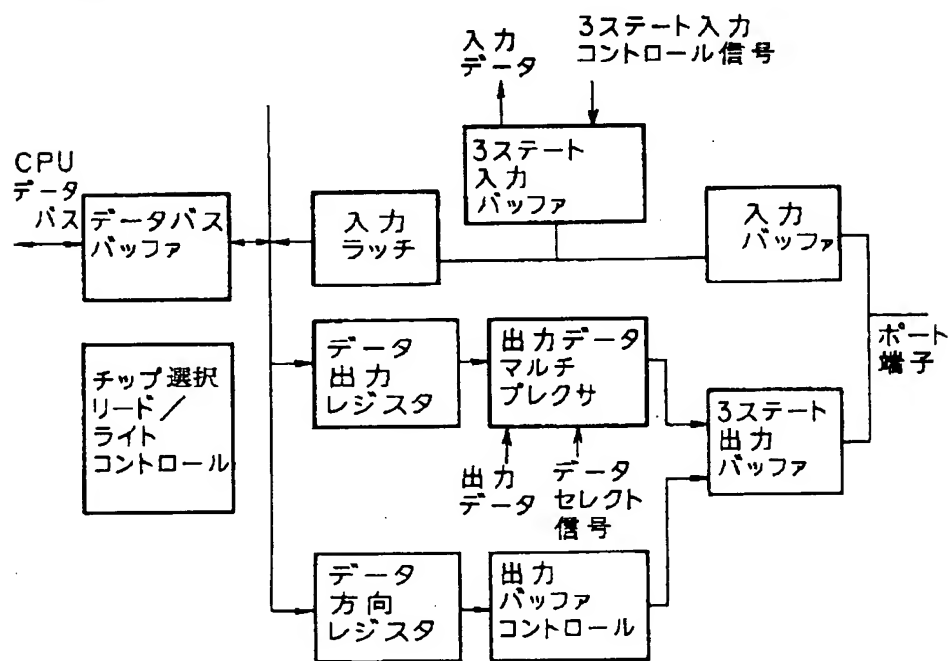
【図 4】



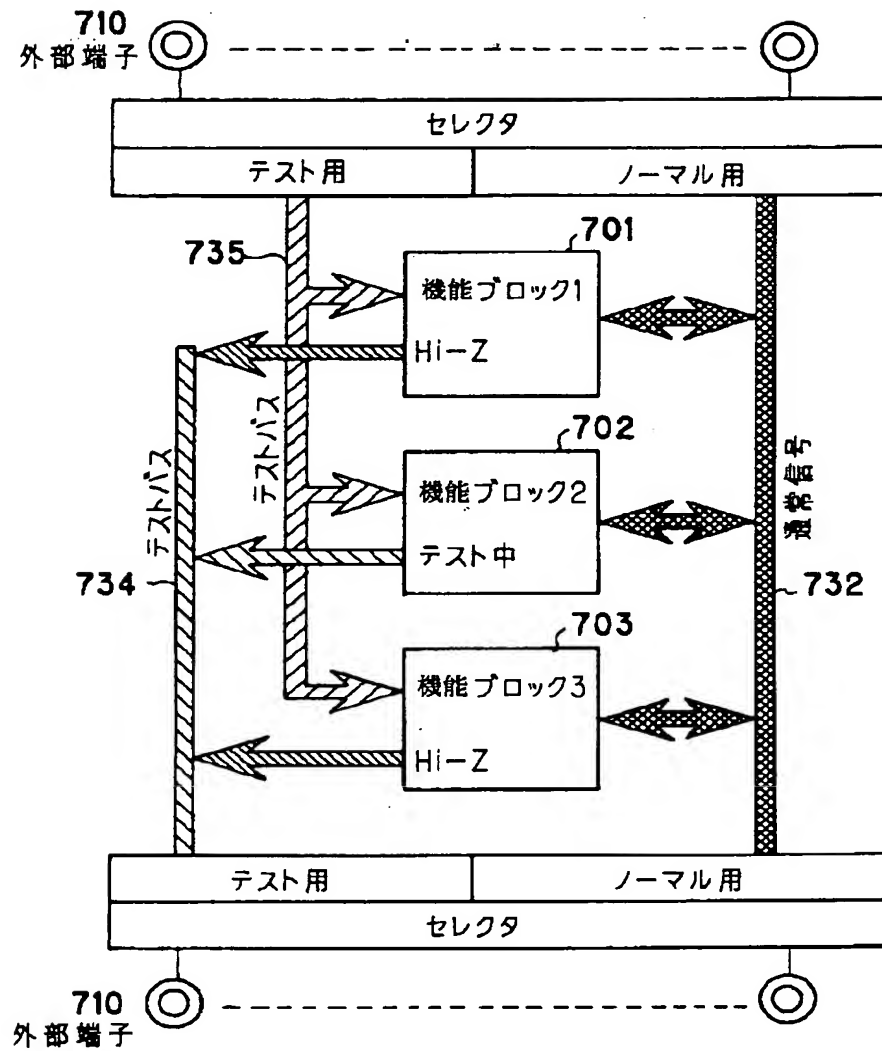
【図 6】



(A)



【図 7】



フロントページの続き

(51)Int.Cl.⁶

H 0 1 L 27/04
21/822
27/10

識別記号

庁内整理番号

F I

技術表示箇所

4 9 1

7210-4M
8832-4M

H 0 1 L 27/04

T

THIS PAGE BLANK (USPTO)